

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020000019080 A
 (43) Date of publication of application: 06.04.2000

(21) Application number: 1019980037004
 (22) Date of filing: 08.09.1998

(71) Applicant: HYUNDAI MICRO ELECTRONICS CO., LTD.
 (72) Inventor: PARK, SEONG JO SUNG, YANG SU

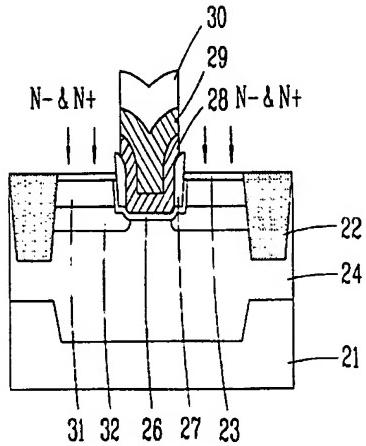
(51) Int. Cl H01L 21/334

(54) METHOD FOR MANUFACTURING MOS TRANSISTORS

(57) Abstract:

PURPOSE: An MOS transistor fabrication method is provided to improve an integration and restrain a short-channel effect by forming a gate electrode within a trench.

CONSTITUTION: A method comprises the steps of forming a well(24) in an active region of a semiconductor substrate(21); forming a trench on the well(24); forming a gate oxide(26) at side walls and bottom of the trench and a spacer(27) at both side walls of the gate oxide(26); forming a gate electrode(28) on the gate oxide(26); and forming a heavily doped source and drain regions(31) and a lightly doped source and drain regions(32) in the semiconductor substrate(21).



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19980908)

Final disposal of an application (registration)

Date of final disposal of an application (20000616)

Patent registration number (1002732960000)

Date of registration (20000902)

특 2000-0019080

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.	(11) 공개번호	특2000-0019080
H01L 21/334	(43) 공개일자	2000년04월06일
(21) 출원번호	10-1998-0037004	
(22) 출원일자	1998년09월08일	
(71) 출원인	현대반도체 주식회사 김영환	
	충청북도 청주시 흥덕구 향정동 1번지	
(72) 발명자	성양수	
	충청북도 청주시 흥덕구 향정동 50번지 LG반도체 남자기숙사 B동 825호	
	박성조	
	충청북도 청주시 흥덕구 향정동 50번지 LG반도체 남자기숙사 B동 915호	
(74) 대리인	박장원	

설사첨구 : 있음(54) 모스 트랜지스터 제조방법**요약**

본 발명은 모스 트랜지스터 제조방법에 관한 것으로, 종래 모스 트랜지스터 제조방법은 소자의 미세화에 따라 단채널효과가 발생하여 접적도가 감소하는 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 엑티브영역이 정의된 기판에 불순을 미온주입을 통해 특정형의 웨를 형성하는 웨형성단계와; 상기 웨의 상부중앙부에 트랜치구조를 형성하고, 그 트랜치구조의 내측면 및 저면에 게이트산화막을 증착하고, 그 트랜치구조 측면에 형성된 게이트산화막의 측면에 산화막축벽을 형성하는 게이트산화막 형성단계와; 상기 게이트산화막의 상부에 게이트전극패턴을 형성하는 게이트형성단계와; 상기 게이트전극패턴의 측면 웨에 저농도 불순을 미온주입과 고농도 불순을 미온주입을 통해 표면으로부터 그 하부쪽으로 소정깊이로 고농도 소스 및 드레인과 그 고농도 소스 및 드레인의 저면으로부터 상기 트랜치구조의 저면의 깊이까지 위치하는 저농도 소스 및 드레인을 형성하는 웨디디구조 형성단계를 포함하며 저농도 소스 및 드레인의 확산을 방지하여 채널영역의 감소를 방지함으로써, 단채널효과의 발생을 막을 수 있으며 이로인해 접적도가 향상되는 효과가 있다.

도표도**도2d****양세서****도면의 각부의 설명**

도1a 내지 도1d는 종래 모스 트랜지스터 제조공정 수순단면도.

도2a 내지 도2d는 본 발명 모스 트랜지스터 제조공정 수순단면도.

도면의 주요 부분에 대한 부호의 설명

21:기판	22:필드산화막
23:버퍼산화막	24:웨
25:질화막	26:게이트산화막
27:산화막축벽	28:다결정실리콘
29:텅스텐실리사이드	30:고온저압산화막
31:고농도 소스 및 드레인	32:저농도 소스 및 드레인

발명의 삼세로 설명**발명의 특적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 모스 트랜지스터 제조방법에 관한 것으로, 특히 공정단계를 단순화 하고, 0.25μm급 미하의 모스 트랜지스터에서 단채널효과를 개선하는데 적당하도록 한 모스 트랜지스터 제조방법에 관한 것이다.

일반적으로, 모스 트랜지스터는 게이트, 고농도 및 저농도 소스/드레인을 포함하여 구성되며, 그 저농도 소스 및 드레인의 확산에 의한 단체널효과로 인해 0.4~0.5V 미하급에서는 그 공정이 용이하지 않게 되며, 이와 같은 증례 모스 트랜지스터 제조방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도 1a 내지 도 1d는 증례 모스 트랜지스터 제조공정 수순단면도로시, 이에 도시한 바와 같이 기판(1)의 상부에 필드산화막(2)을 형성하여 소자가 형성될 액티브영역을 정의하고, 그 액티브영역의 상부에 버퍼산화막(3)을 증착한 후, 불순을 이온주입을 통해 특장 혼의 헬(4)을 형성하는 단계(도 1a)와; 상기 버퍼산화막(3)을 제거하고, 상기 헬(4)과 필드산화막(2)의 상부전면에 게이트산화막(5), 버퍼산화막(3)을 제거하고, 상기 헬(4)과 필드산화막(2)의 상부전면에 게이트산화막(5), 버퍼산화막(3)을 증착한 후, 불순을 이온주입을 통해 특장 혼의 헬(4)을 형성하는 단계(도 1b)와; 사진식각공정을 통해 상기 증착된 질화막(8), 텅스텐실리사이드(?) 및 다결정실리콘(6)을 패터닝하여 상기 헬(4)의 중앙 상부에 위치하는 게이트전극, 접속층, 절연층을 형성한 후, 그 사진식각공정으로 노출된 게이트산화막(5)을 이온주입 버퍼로 사용하는 저농도 이온주입공정으로, 상기 헬(4)에 불순을 이온을 이온주입하여 저농도 소스 및 드레인(9)을 형성하는 단계(도 1c)와; 상기 전준하는 다결정실리콘(6), 텅스텐실리사이드(?), 질화막(8)의 측면에 질화막축벽(10)을 형성하고, 그 질화막축벽(10)과 장기 질화막(8)을 이온주입 마스크로 사용하는 이온주입공정으로 상기 헬(4)에 고농도 소스 및 드레인(11)을 형성하는 단계(도 1d)를 포함하여 구성된다.

이하, 상기와 같이 구성된 증례 모스 트랜지스터 제조방법을 좀 더 상세히 설명한다.

먼저, 도 1a에 도시한 바와 같이 피형 실리콘 기판(1)의 상부 일부에 필드산화막(2)을 증착하여 모스 트랜지스터가 제조될 액티브영역을 정의하고, 그 모스 트랜지스터를 전기적으로 분리시킨다.

그 다음, 상기 피형 실리콘 기판(1)의 상부에 버퍼산화막(3)을 약 100 nm 의 두께로 증착하고, 그 버퍼산화막(3)을 이온주입 버퍼로 사용하는 이온주입공정으로, 피형 불순을 이온을 이온주입한다. 이때 이온주입 공정은 붕소(B)를 300 KeV 의 에너지로, $8.0\text{E}12/\text{cm}^2$ 의 양이 되도록 이온주입하여 피형 헬(4)를 형성한다.

그 다음, 도 1b에 도시한 바와 같이 상기 버퍼산화막(3)을 제거하여, 그 하부의 피형 헬(4)를 노출시킨 다음, 그 피형 헬(4)과 필드산화막(2)의 상부전면에 게이트산화막(5)을 70 nm 의 두께로 증착하고, 그 게이트산화막(5)의 상부에 텅스텐실리사이드(?)를 1000 nm 의 두께로 증착한다. 이때 텅스텐실리사이드(?)는 이후의 배선공정에서 배선과 게이트의 접촉저항을 줄이는 역할을하게 된다.

또한, 계속해서 상기 텅스텐실리사이드(?)의 상부에 질화막(8)을 증착한다. 이때, 질화막(8)과 텅스텐실리사이드(?)의 구조적인 차이에 의해 그 텅스텐실리사이드(?)에 손상이 발생하지 않도록 고온저압산화막(?)을 증착한 후, 그 질화막(8)을 1500 nm 의 두께로 증착한다. 이와 같이 증착한 질화막(8)은 이온주입의 버퍼로 작용하여 상기 텅스텐실리사이드(?) 및 게이트에 불순을 이온이 주입되는 것을 방지하는 역할을 한다.

그 다음, 도 1c에 도시한 바와 같이 상기 증착된 질화막(8)의 상부에 포토레지스트(도면미도시)를 도포, 노광 및 현상하여 패턴을 형성하고, 그 패턴이 형성된 포토레지스트를 식각마스크로 하는 식각공정으로, 상기 증착된 질화막(8), 고온저압산화막(?) 텅스텐실리사이드(?), 다결정실리콘(6)을 순차적으로 식각하여 상기 헬(4)의 상부중앙에 위치하는 패턴을 형성한다.

그 다음, 상기 질화막(8)을 이온주입 마스크, 상기 게이트산화막(5)을 이온주입버퍼로 사용하는 이온주입 공정으로 불순을 이온을 상기 헬(4)에 주입하여 저농도 소스 및 드레인(9)을 형성한다. 이때 이온주입공정은 상기 헬(4)의 성분인 붕소(B)와는 다른 혼인 인(P)을 20 KeV 의 에너지로, $5.0\text{E}13/\text{cm}^2$ 의 양만큼 주입한다.

그 다음, 도 1d에 도시한 바와 같이 상기 저농도 소스 및 드레인(9)과 다결정실리콘(6), 텅스텐실리사이드(?), 질화막(8) 적층구조가 형성된 헬(4)의 상부전면에 질화막을 증착하고 건식식각하여 상기 다결정실리콘(6), 텅스텐실리사이드(?), 고온저압산화막(?) 질화막(8) 적층구조의 측면에 질화막 축벽(10)을 형성한다.

그 다음, 상기 질화막(8)과 질화막 축벽(10)을 이온주입마스크로, 상기 게이트산화막(5)을 이온주입버퍼로 사용하는 이온주입공정으로 고농도 엔헬 불순을 이온을 이온주입하여 고농도 소스 및 드레인(11)을 형성한다. 이때 주입되는 이온은 비소(As)이며, 이온주입에너지는 50 KeV , 주입되는 양은 $2.0\text{E}15/\text{cm}^2$ 개로 한다.

이후의 공정에서는 평탄화막의 증착과, 그 평탄화막에 콘택홀을 형성하고, 그 콘택홀을 통해 상기 고농도 소스 및 드레인(11)에 접속되는 배선을 형성하게 된다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이 증례 모스 트랜지스터 제조방법은 반도체 소자가 미세화됨에 따라 그 게이트의 크기가 줄어들게 되면, 알려진 바와 같이 단체널효과(short channel effect)의 발생으로 소자의 특성이 열화되는 문제점과 마을러 두 번의 선택적 이온주입을 통해 엘디디(lightly doped drain) 구조를 형성하기 위해 게이트의 측면에 질화막 축벽을 형성하는 과정이 필요하여 제조비용이 증가하는 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 채널영역을 입체적으로 형성하여 소자의 미세화에도 일정값 이상의 채널길이를 유지하며, 공정단계를 줄일 수 있는 모스 트랜지스터 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적은 액티브영역이 정의된 기판에 불순을 이온주입을 통해 특정형의 웨를 형성하는 웨형성 단계와; 상기 웨의 상부증양부에 트랜치구조를 형성하고, 그 트랜치구조의 내측면 및 저면에 게이트산화막을 증착하고, 그 트랜치구조 측면에 형성된 게이트산화막의 측면에 산화막층벽을 형성하는 게이트산화막 형성단계와; 상기 게이트산화막의 상부에 게이트전극패턴을 형성하는 게이트형성단계와; 상기 게이트전극패턴의 측면 웨에 저농도 불순을 이온주입과 고농도 불순을 이온주입을 통해 표면으로부터 그 하부쪽으로 소정길이로 고농도 소스 및 드레인과 그 고농도 소스 및 드레인의 저면으로부터 상기 트랜치구조의 저면의 깊이까지 위치하는 저농도 소스 및 드레인을 형성하는 웨디디구조 형성단계를 포함하여 구성함으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도2a 내지 도2d는 본 발명 모스 트랜지스터의 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판(21)의 상부에 필드산화막(22)을 형성하여 소자가 형성될 액티브영역을 정의하고, 그 액티브영역의 상부에 버퍼산화막(23)을 증착한 후, 불순을 이온주입을 통해 특정형의 웨(24)를 형성하는 단계(도2a)와; 상기 웨(24)의 상부에 질화막(25)을 증착하고, 페터닝하여 상기 웨(24)의 중앙상부를 노출시킨 후, 그 노출된 웨(24)를 트랜치식각하고, 그 트랜치구조의 측면 및 저면에 게이트산화막(26)을 증착한 다음, 그 측면에 형성된 게이트산화막(26)의 류면에 산화막층벽(27)을 형성하는 단계(도2b)와; 상기 질화막(25)을 제거하고, 상기 버퍼산화막(23), 게이트산화막(26) 및 산화막층벽(27)의 상부전면에 다결정실리콘(28), 텅스텐 실리사이드(29) 및 고온저압산화막(30)를 순차적으로 증착하는 단계(도2c)와; 사진식각공정을 통해 상기 웨(24)에 형성한 트랜치구조의 상부에만 그 패턴이 잔존하도록, 상기 고온저압산화막(30), 텅스텐실리사이드(29) 및 다결정실리콘(28)을 식각하고, 상기 고온저압산화막(30)을 이온주입마스크, 상기 버퍼산화막(23)을 이온주입버퍼로 사용하는 저농도 및 고농도 불순을 이온을 순차적으로 주입하여 웨(24)의 표면부근에 위치하는 고농도 소스 및 드레인(31)과 그 하부에 위치하는 저농도 소스 및 드레인(32)을 형성하는 단계(도2d)를 포함하여 구성된다.

이하, 상기와 같이 구성된 본 발명 모스 트랜지스터 제조방법을 좀 더 상세히 설명한다.

먼저, 도2a에 도시한 바와 같이 피형 기판(21)의 상부에 필드산화막(22)을 형성하여 소자가 형성될 액티브영역을 정의하고, 그 액티브영역에 형성되는 모스 트랜지스터를 전기적으로 분리시킨다.

그 다음, 상기 액티브영역의 상부에 버퍼산화막(23)을 100^+ 의 두께로 증착한 후, 불순을 이온주입을 통해 피형 웨(24)를 형성한다. 이때의 이온주입공정은 붕소(B)를 450KeV 의 에너지로 $8.0\text{E}12/\text{cm}^2$ 의 개수만큼 이온주입한다.

그 다음, 도2b에 도시한 바와 같이 상기 웨(24)의 상부에 질화막(25)을 500^+ 의 두께로 증착하고, 사진식각공정을 통해 패터닝하여 상기 웨(24)의 중앙상부를 노출시킨다.

그 다음, 상기와 같은 식각공정으로 노출된 웨(24)의 일부영역을 트랜치식각하여 트랜치구조를 형성한다. 이때 트랜치구조의 깊이는 1500^+ 이 되도록 한다.

그 다음, 상기 형성한 트랜치구조의 내부에 그 두께가 100^+ 이 되도록 게이트산화막(26)을 증착하고, 그 트랜치구조에 고온저압산화막을 증착하고 건식식각하여 상기 트랜치구조 측면에 형성한 게이트산화막(26)의 측면에 위치하며, 그 두께가 500^+ 인 산화막층벽(27)을 형성한다.

그 다음, 도2c에 도시한 바와 같이 상기 질화막(25)을 제거하고, 상기 버퍼산화막(23), 게이트산화막(26) 및 산화막층벽(27)의 상부전면에 다결정실리콘(28)을 500^+ 의 두께로 증착하고, 계속해서 상기 다결정실리콘(28)의 상부에 두께가 1000^+ 인 텅스텐실리사이드(29)를 증착한 후, 상기 텅스텐실리사이드(29)의 상부에 1500^+ 의 두께를 갖는 고온저압산화막(30)을 증착한다.

그 다음, 도2d에 도시한 바와 같이 사진식각공정을 통해 상기 웨(24)에 형성한 트랜치구조의 상부에만 그 패턴이 잔존하도록, 상기 고온저압산화막(30), 텅스텐실리사이드(29) 및 다결정실리콘(28)을 식각한다.

그 다음, 상기 고온저압산화막(30)을 이온주입마스크, 상기 버퍼산화막(23)을 이온주입버퍼로 사용하는 저농도 엔형 불순을 이온을 상기 웨(24)의 표면으로부터 소정거리 미격된 부분으로부터 그 하부로 특성거리에 이르도록 주입하고, 멀처리하여 저농도 소스 및 드레인(32)를 형성하고, 고농도 불순을 이온을 상기 웨(24)의 표면으로부터 상기 저농도 소스 및 드레인(32)의 상부측에 이르는 영역에 주입하여 고농도 소스 및 드레인(31)을 형성한다.

이때 상기 저농도 엔형 불순을 이온주입공정은 그 이온주입에너지가 비교적 큰 120KeV 로 $5.0\text{E}13/\text{cm}^2$ 개의 인(P)이온을 이온주입하고, 상기 고농도 엔형 불순을 이온주입공정은 비소(As)이온을 50KeV 의 에너지로 $2.0\text{E}15/\text{cm}^2$ 의 개수로 이온주입한다.

발명의 효과

상기한 바와 같이 본 발명은 웨에 트랜치구조를 형성하여 그 트랜치구조에 게이트를 형성하고, 그 게이트의 측면상부에 고농도 불순을 이온, 측면하부에 저농도 불순을 이온을 이온주입하여 그 주입된 이온의 활성화를 위해 어닐링하는 과정에서 상기 저농도 불순들이 상기 트랜치구조의 저면하부로 확산되는 것을 최대한 줌여 채널의 길이를 확보하여 단채널효과를 방지함으로써, 모스 트랜지스터의 크기를 줄일 수 있는 효과가 있으며, 웨디디구조 형성을 위한 2회의 불순을 이온을 동일한 영역에 실시하여, 게이트측면에 특

벽을 형성하는 과정을 거치지 않아 공정단계 감소와 그에 따른 제조비용을 절감하는 효과가 있다.

(5) 청구의 범위

청구항 1. 액티브영역이 정의된 기판에 불순물 이온주입을 통해 특정형의 웨이퍼를 형성하는 웨이퍼형성단계와; 상기 웨이퍼의 상부중앙부에 트랜치구조를 형성하고, 그 트랜치구조의 내측면 및 저면에 게이트산화막을 증착하고; 그 트랜치구조 출면에 형성된 게이트산화막의 출면에 산화막축벽을 형성하는 게이트산화막 형성단계와; 상기 게이트산화막의 상부에 게이트전극패턴을 형성하는 게이트형성단계와; 상기 게이트전극패턴의 출면 웨이퍼에 저농도 불순물 이온주입과 고농도 불순물 이온주입을 통해 표면으로부터 그 하부쪽으로 소정깊이 이로 고농도 소스 및 드레인과 그 고농도 소스 및 드레인의 저면으로부터 상기 트랜치구조의 저면의 깊이 까지 위치하는 저농도 소스 및 드레인을 형성하는 엘디디구조 형성단계를 포함하여 된 것을 특징으로 하는 모스 트랜지스터 제조방법.

청구항 2. 제 1항에 있어서, 상기 웨이퍼형성단계는 상기 액티브영역의 상부에 100^+ 의 두께를 갖는 버퍼산화막을 증착한 후, 그 버퍼산화막을 통해 상기 액티브영역에 불소이온을 450KeV 의 에너지로 $8.0\text{E}12/\text{cm}^2$ 의 개수만큼 이온주입하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

청구항 3. 제 1항에 있어서, 상기 게이트산화막 형성단계에서 형성하는 트랜치구조는 그 깊이가 1500^+ 이 되도록 형성하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

청구항 4. 제 1항 또는 제 3항에 있어서, 상기 트랜치구조는 상기 형성된 웨이퍼의 상부에 위치하는 버퍼산화막의 상부에 500^+ 의 두께로 증착하고, 사진식각공정을 통해 패터닝하여 상기 웨이퍼의 중앙상부를 노출시킨 다음, 그 노출된 웨이퍼를 건식식각하여 형성하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

청구항 5. 제 1항에 있어서, 상기 게이트산화막은 그 두께가 100^+ 이 되도록 증착한 것을 특징으로 하는 모스 트랜지스터 제조방법.

청구항 6. 제 1항에 있어서, 상기 산화막축벽 형성단계는 상기 트랜치구조의 내부에 고온저압산화막을 증착하고, 그 두께가 500^+ 이 되도록 건식식각하여 형성한 것을 특징으로 하는 모스 트랜지스터 제조방법.

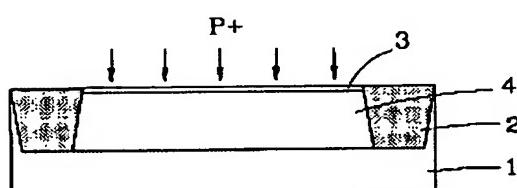
청구항 7. 제 1항에 있어서, 상기 게이트전극패턴은 상기 트랜치구조가 형성된 웨이퍼의 상부에 다결정실리콘, 텅스텐실리사이드, 고온저압산화막을 각각 500^+ , 1000^+ , 1500^+ 의 두께로 증착하고, 사진식각공정을 통해 패터닝하여 형성한 것을 특징으로 하는 모스 트랜지스터 제조방법.

청구항 8. 제 1항에 있어서, 상기 엘디디구조 형성단계에서 저농도 이온주입과정은 인미온을 120KeV 의 이온주입에너지로 $5.0\text{E}13/\text{cm}^2$ 의 이온수를 갖도록 주입하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

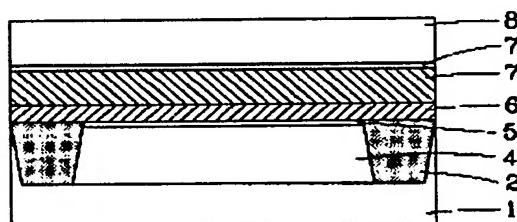
청구항 9. 제 1항에 있어서, 상기 엘디디구조 형성단계에서 고농도 이온주입과정은 비소이온을 50KeV 의 에너지로, $2.0\text{E}15/\text{cm}^2$ 의 이온수가 되도록 주입하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

도면

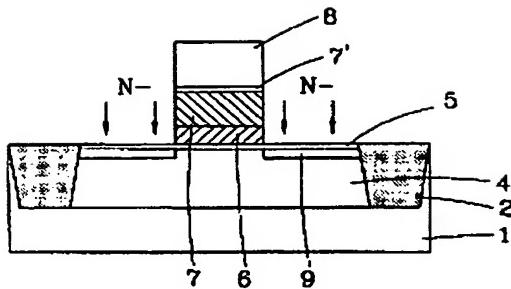
도면 1



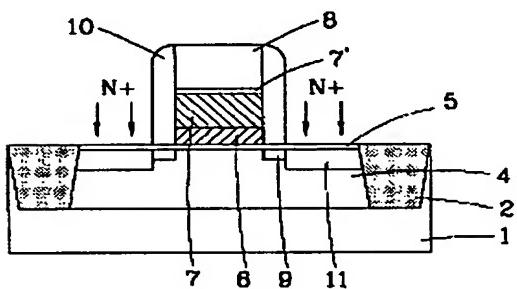
도면 2



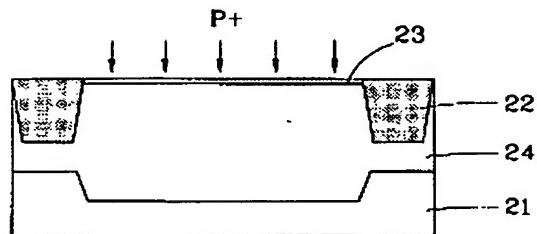
도면 10



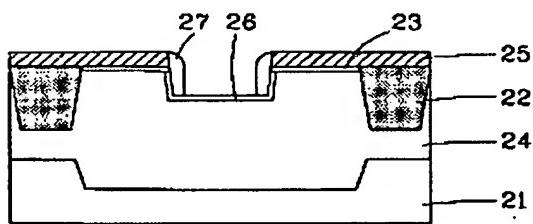
도면 11



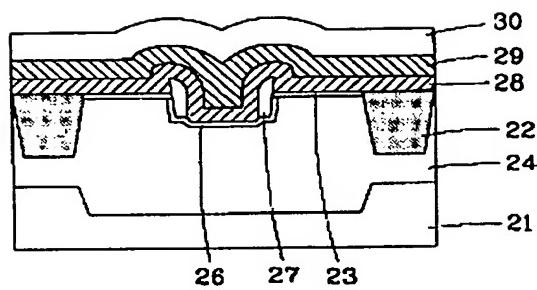
도면 12



도면 13



도면2



도면3

